

日 本 国 特 許 庁
JAPAN PATENT OFFICE

22.05.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月 9日

出 願 番 号
Application Number:

特願2002-262793

[ST.10/C]:

[JP2002-262793]

REC'D 11 JUL 2003

WIPO PCT

出 願 人
Applicant(s):

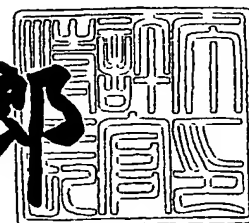
松下電器産業株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 6月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3050897

【書類名】 特許願

【整理番号】 2037640125

【特記事項】 特許法第30条第1項の規定の適用を受けようとする特
許出願

【提出日】 平成14年 9月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/093

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株
式会社内

【氏名】 道正 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株
式会社内

【氏名】 福井 正博

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株
式会社内

【氏名】 吉河 武文

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株
式会社内

【氏名】 岩田 徹

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株
式会社内

【氏名】 崎山 史朗

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株

式会社内

【氏名】 鈴木 良一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【先の出願に基づく優先権主張】

【出願番号】 特願2002-148129

【出願日】 平成14年 5月22日

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 低域ろ波回路、フィードバックシステムおよび半導体集積回路

【特許請求の範囲】

【請求項 1】 低域ろ波回路であって、

当該低域ろ波回路に与えられた信号を入力とする第 1 のフィルタ手段と、
前記第 1 のフィルタ手段が有する所定の回路素子に流れる第 1 の電流と別個に、
当該第 1 の電流を所定倍した第 2 の電流を生成する電流生成手段と、
前記第 2 の電流を入力とする第 2 のフィルタ手段と、
前記第 1 のフィルタ手段から出力される第 1 の電圧と前記第 2 のフィルタ手段
から出力される第 2 の電圧とを加算し、当該低域ろ波回路の出力電圧として、第
3 の電圧を得る加算手段とを備えた
ことを特徴とする低域ろ波回路。

【請求項 2】 請求項 1 に記載の低域ろ波回路において、

前記電流生成手段は、前記第 2 の電流として、前記第 1 の電流よりも小さな電
流を生成するものである
ことを特徴とする低域ろ波回路。

【請求項 3】 請求項 1 に記載の低域ろ波回路において、

前記第 1 のフィルタ手段は、前記所定の回路素子として、トランジスタを有す
るものであり、

前記電流生成手段は、前記トランジスタを入力側のトランジスタとして構成さ
れたカレントミラー回路である
ことを特徴とする低域ろ波回路。

【請求項 4】 請求項 1 に記載の低域ろ波回路において、

前記第 1 のフィルタ手段は、前記所定の回路素子として、前記第 1 の電圧を入
力とし、前記第 1 の電流を出力とする第 1 の電圧電流変換回路を有するものであ
り、

前記電流生成手段は、前記第 1 の電圧を入力とし、前記第 2 の電流を出力とす
る第 2 の電圧電流変換回路である
ことを特徴とする低域ろ波回路。

【請求項5】 請求項1に記載の低域ろ波回路において、

前記加算手段は、演算増幅器であり、

前記演算増幅器は、前記第2のフィルタ手段を負帰還部分に有し、前記第1および第2の電圧を、それぞれ非反転入力端子および反転入力端子への入力とし、前記第3の電圧を出力とするものであることを特徴とする低域ろ波回路。

【請求項6】 入力クロックに基づいて生成した出力クロックを帰還させ、この出力クロックを所望の特性にする位相同期回路や遅延ロックスループ回路などのフィードバックシステムであって、

前記入力クロックと帰還クロックとの位相差に基づいて、チャージ電流を生成するチャージポンプ回路と、

前記チャージ電流を入力とする低域ろ波回路と、

前記低域ろ波回路からの出力電圧に基づいて、前記出力クロックを生成する出力クロック生成手段とを備え、

前記低域ろ波回路は、

前記チャージ電流を入力とする第1のフィルタ手段と、

前記第1のフィルタ手段が有する所定の回路素子に流れる第1の電流と別個に、当該第1の電流を所定倍した第2の電流を生成する電流生成手段と、

前記第2の電流を入力とする第2のフィルタ手段と、

前記第1のフィルタ手段から出力される第1の電圧と前記第2のフィルタ手段から出力される第2の電圧とを加算し、当該低域ろ波回路の出力電圧として、第3の電圧を得る加算手段とを有するものであることを特徴とするフィードバックシステム。

【請求項7】 請求項6に記載のフィードバックシステムにおいて、

前記チャージ電流の電流源のバイアスを変更するとともに、この変更の程度に応じて、前記第1のフィルタ手段の時定数を変更するバイアス制御手段を備えたことを特徴とするフィードバックシステム。

【請求項8】 請求項7に記載のフィードバックシステムにおいて、

前記低域ろ波回路における前記電流生成手段は、前記第1の電流を入力とし、

前記第2の電流を出力とするカレントミラー回路であり、

前記カレントミラー回路は、

入力側に第1のMOSトランジスタと、

出力側に第2のMOSトランジスタと、

前記第1のMOSトランジスタにバイアスをかける第1の電流源と、

前記第2のMOSトランジスタにバイアスをかける第2の電流源とを有するものであり、

前記低域ろ波回路における前記第1のフィルタ手段は、前記所定の回路素子として、前記第1のMOSトランジスタを有するものであり、

前記バイアス制御手段は、前記第1および第2の電流源のバイアスをそれぞれ変更するものであることを特徴とするフィードバックシステム。

【請求項9】 請求項7に記載のフィードバックシステムにおいて、

前記低域ろ波回路における前記第1のフィルタ手段は、前記所定の回路素子として、前記第1の電圧を入力とし、前記第1の電流を出力とする第1の電圧電流変換回路を有するものであり、

前記低域ろ波回路における前記電流生成手段は、前記第1の電圧を入力とし、前記第2の電流を出力とする第2の電圧電流変換回路であり、

前記バイアス制御手段は、前記第1の電圧電流変換回路および第2の電圧電流変換回路の電流利得をそれぞれ変更するものであることを特徴とするフィードバックシステム。

【請求項10】 請求項7に記載のフィードバックシステムにおいて、

前記出力クロック生成手段は、前記低域ろ波回路からの出力電圧に基づいて、前記出力クロックの周波数を変化させる電圧制御発振器であり、

前記バイアス制御手段は、前記低域ろ波回路からの出力電圧に基づいて、前記チャージ電流の電流源のバイアスおよび前記第1のフィルタ手段の時定数をそれぞれ変更するものである

ことを特徴とするフィードバックシステム。

【請求項11】 請求項7に記載のフィードバックシステムにおいて、

前記出力クロック生成手段は、前記入力クロックおよび前記低域ろ波回路からの出力電圧に基づいて、前記出力クロックの、前記基準クロックからの遅延量を変化させる電圧制御遅延回路であり、

前記バイアス制御手段は、前記低域ろ波回路からの出力電圧に基づいて、前記チャージ電流の電流源のバイアスおよび前記第1のフィルタ手段の時定数をそれぞれ変更するものであることを特徴とするフィードバックシステム。

【請求項12】 請求項7に記載のフィードバックシステムにおいて、

前記低域ろ波回路における前記加算手段は、演算増幅器であり、

前記バイアス制御手段は、前記低域ろ波回路からの出力電圧に基づいて、前記演算増幅器の帯域特性を変更するものであることを特徴とするフィードバックシステム。

【請求項13】 請求項1に記載の低域ろ波回路を備えた

ことを特徴とする半導体集積回路。

【請求項14】 請求項6に記載のフィードバックシステムを備えた

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低域ろ波回路に関するものであり、特に、位相同期回路などのフィードバックシステムに好適な低域ろ波回路の技術に属する。

【0002】

【従来の技術】

現在、位相同期回路は、システムLSIを構成する上で必須の部品といっても過言ではなく、ほとんどすべてのシステムLSIに搭載されている。図10は、一般的な位相同期回路10の構成を示す。位相比較器11は、入力クロックCK_{in}と分周クロックCK_{div}との位相差を、信号UPおよび信号DNとして出力する。チャージポンプ回路12は、信号UPおよび信号DNに基づいて、チャージ電流I_pを出力する。低域ろ波回路13は、チャージ電流I_pを平滑化し、

制御電圧 V_{out} を出力する。電圧制御発振器 14 は、制御電圧 V_{out} に応じて発振周波数を変え、出力クロック CK_{out} を出力する。分周器 15 は、出力クロック CK_{out} を分周し、分周クロック CK_{div} を位相比較器 11 にフィードバックする。以上のような構成により、位相同期回路 10 は、入力クロック CK_{in} の変化に追従して、出力クロック CK_{out} を生成し、ロックする。

【0003】

図 11 は、低域ろ波回路 13 として用いられる一般的な回路図を示す。同図 (a) は、受動タイプの低域ろ波回路であり、同図 (b) は、能動タイプの低域ろ波回路である。このように、低域ろ波回路 13 は、一般に、抵抗素子 R および容量素子 C の組み合わせによる積分回路で実現される。

【0004】

位相同期回路の制御論理によると、入力クロック CK_{in} の変化に追従する際の応答帯域幅は、入力クロック CK_{in} の 10 分の 1 程度の周波数が好ましいとされている。したがって、入力クロック CK_{in} の周波数が低くなれば、応答帯域幅も狭くする必要がある。しかし、応答帯域幅を狭くすると位相同期回路 10 のダンピングファクタが小さくなり、位相同期回路 10 が安定に動作しなくなる。このため、入力クロック CK_{in} が変化しても、ダンピングファクタを一定に保つように調整する必要がある。

【0005】

図 12 は、ダンピングファクタの調整が可能な低域ろ波回路 13 を示す。同図 (a) の低域ろ波回路 13 は、抵抗素子 R として、抵抗ラダー回路 100 を備えている。抵抗ラダー回路 100 は、同図 (b) に示すように、多数の抵抗とスイッチとからなり、スイッチを適宜制御することにより、抵抗ラダー回路 100 の抵抗値をさまざまに変えるようになっている。これにより、同図 (a) の低域ろ波回路 13 は、ダンピングファクタを一定に保つように調整することができる。

【0006】

また、図 13 は、別の方法によりダンピングファクタの調整を可能にした低域ろ波回路 13 を示す。同図の低域ろ波回路 13 は、積分回路 13-1 と、反転増幅回路 13-2 と、加算回路 13-3 とを備えている。積分回路 13-1 は、第

1のチャージポンプ回路12-1から出力されるチャージ電流 I_{p1} を積分する。反転増幅回路13-2は、第2のチャージポンプ回路12-2から出力されるチャージ電流 I_{p2} を反転増幅する。そして、加算回路13-3は、積分回路13-1からの出力と反転増幅回路13-2からの出力とを加算する。この低域ろ波回路13によると、チャージ電流 I_{p1} およびチャージ電流 I_{p2} を適宜変えることにより、ダンピングファクタの調整が可能となる（たとえば、特許文献1参照）。

【0007】

【特許文献1】

特許第2778421号公報

【0008】

【発明が解決しようとする課題】

上述したように、位相同期回路10の入力クロック CK_{in} が比較的低い周波数のとき、位相同期回路10の応答帯域幅もそれに合わせて狭くする必要がある。これは、低域ろ波回路13において、カットオフ周波数を低くする必要があることを意味する。しかし、カットオフ周波数を低くするには、積分回路を構成する抵抗素子 R や容量素子 C を大きくして CR 積を大きくしなければならず、回路面積が大幅に増大することになる。

【0009】

また、ダンピングファクタを調整するためには、図12に示したように、抵抗ラダー回路100を設けたり、または、図13に示したように、チャージポンプ回路や演算増幅器を複数個設けたりする必要がある。これもまた、回路面積を増大させる要因となる。

【0010】

位相同期回路を備えた半導体集積回路の回路面積を低減することは、必須の課題である。特に、カードICでは、信頼性の観点からカードの厚さ以上の部品を実装することは避けなければならないため、回路面積低減の要求は厳しい。また、チップ・オン・チップ構造の半導体集積回路についても、特に、上層に組み込まれる位相同期回路は、より小さな回路面積であることが好ましい。

【0011】

上記諸問題に鑑み、本発明は、所望のフィルタ特性を保ちつつ、より小さな回路面積で実現可能な低域ろ波回路の提供を課題とする。また、このような低域ろ波回路を備え、より小さな回路面積で、入力クロックの変化に対してダンピングファクタを一定に保つことが可能な位相同期回路などのフィードバックシステムの提供を課題とする。さらに、このようなフィードバックシステムについて、入力クロックの変化に対して、応答特性を適応的に調整して、幅広い周波数帯域に適応可能にすることを課題とする。

【0012】

【課題を解決するための手段】

図1は、上記の課題を解決するために本発明が講じた手段としての、低域ろ波回路の構成を示す。本発明の低域ろ波回路は、与えられた信号を入力とする第1のフィルタ手段1と、前記第1のフィルタ手段が有する所定の回路素子に流れる第1の電流と別個に、当該第1の電流を所定倍した第2の電流を生成する電流生成手段2と、前記第2の電流を入力とする第2のフィルタ手段3と、前記第1のフィルタ手段から出力される第1の電圧と前記第2のフィルタ手段から出力される第2の電圧とを加算し、当該低域ろ波回路の出力電圧として第3の電圧を得る加算手段4とを備えている。

【0013】

本発明によると、低域ろ波回路に与えられた信号は、第1のフィルタ手段1によってフィルタリング処理され、第1の電圧が出力される。このとき、電流生成手段2によって、第1のフィルタ手段が有する所定の回路素子に流れる第1の電流と別個に、第2の電流として、第1の電流を所定倍した電流が生成される。電流生成手段2は、第1の電流自体を所定倍するものではないため、第2の電流の生成によって、第1の電圧が影響を受けることはない。そして、第2のフィルタ手段3には、第1の電流ではなく、電流生成手段2によって生成される第2の電流を与えるようにする。第2の電流は、第2のフィルタ手段3によってフィルタリング処理され、第2の電圧が出力される。最後に、加算手段4によって、第1の電圧と第2の電圧とが加算され、当該低域ろ波回路の出力として第3の

電圧が生成される。以上のように低域ろ波回路において、第1の電流に対する第2の電流の倍率をさまざまに設定することによって、第2のフィルタ手段3のフィルタ特性を一定に保ちつつ、第2のフィルタ手段3を構成する容量素子の容量値などをさまざまに設定することができる。すなわち、第2のフィルタ手段3を構成する容量素子の容量値を小さくすることも可能であり、低域ろ波回路の回路面積を低減することができる。

【0014】

そして、本発明の低域ろ波回路において、前記電流生成手段は、前記第2の電流として、前記第1の電流よりも小さな電流を生成するものであることが好ましい。このように、第2の電流を第1の電流よりも小さくすることによって、第2のフィルタ手段について、第1の電流が与えられたときと同等の出力を得るのに、より小さな容量値の容量素子を用いれば足りるようになる。たとえば、第1の電流に対して $1/10$ の大きさの第2の電流が生成される場合、第2のフィルタ手段に備えるべき容量素子の容量値を $1/10$ に削減することができる。したがって、低域ろ波回路全体としてのフィルタ特性を一定に保ちつつ、回路面積を大幅に削減することができる。

【0015】

また、具体的には、本発明の低域ろ波回路において、前記第1のフィルタ手段は、前記所定の回路素子として、トランジスタを有するものとし、前記電流生成手段は、前記トランジスタを入力側のトランジスタとして構成されたカレントミラー回路であることが好ましい。

【0016】

また、具体的には、本発明の低域ろ波回路において、前記第1のフィルタ手段は、前記所定の回路素子として、前記第1の電圧を入力とし、前記第1の電流を出力とする第1の電圧電流変換回路を有するものとし、前記電流生成手段は、前記第1の電圧を入力とし、前記第2の電流を出力とする第2の電圧電流変換回路であることが好ましい。

【0017】

また、具体的に、本発明の低域ろ波回路において、前記加算手段は、演算増幅

器であり、前記演算増幅器は、前記第2のフィルタ手段を負帰還部分に有し、前記第1および第2の電圧をそれぞれ非反転入力端子および反転入力端子への入力とし、前記第3の電圧を出力とするものであることが好ましい。

【0018】

一方、上記の課題を解決するために本発明が講じた手段は、フィードバックシステムとして、入力クロックと帰還クロックとの位相差に基づいてチャージ電流を生成するチャージポンプ回路と、前記チャージ電流を入力とする低域ろ波回路と、前記低域ろ波回路からの出力電圧に基づいて出力クロックを生成する出力クロック生成手段とを備え、前記低域ろ波回路は、前記チャージ電流を入力とする第1のフィルタ手段と、前記第1のフィルタ手段が有する所定の回路素子に流れる第1の電流と別個に、当該第1の電流を所定倍した第2の電流を生成する電流生成手段と、前記第2の電流を入力とする第2のフィルタ手段と、前記第1のフィルタ手段から出力される第1の電圧と前記第2のフィルタ手段から出力される第2の電圧とを加算し、当該低域ろ波回路の出力電圧として第3の電圧を得る加算手段とを有するものとする。

【0019】

ここで、フィードバックシステムとは、入力クロックに基づいて生成した出力クロックを帰還させ（帰還クロック）、この出力クロックを所望の特性にする回路のことをいう。代表例として、入力クロックに基づいて所望の周波数の出力クロックを生成する位相同期回路や、入力クロックに対して所望の位相遅延を持つ出力クロックを生成する遅延ロックスループ回路などが挙げられる。

【0020】

この発明によると、フィードバックシステムに本発明の低域ろ波回路を備えることによって、フィードバックシステムの大部分を占める低域ろ波回路の面積を低減することができる。したがって、フィードバックシステム自体についても回路面積を低減することができる。

【0021】

そして、好ましくは、本発明のフィードバックシステムは、前記チャージ電流の電流源のバイアスを変更するとともに、この変更の程度に応じて、前記第1の

フィルタ手段の時定数を変更するバイアス制御手段を備えたものとする。

【0022】

これによると、バイアス制御手段によって、チャージ電流の電流源のバイアス
が変更されてチャージ電流の大きさが変化するとともに、この変更の程度に応じ
て、第1のフィルタ手段の時定数もまた変更される。チャージ電流の大きさおよ
び第1のフィルタ手段の時定数は、フィードバックシステムのダンピングファク
タと相関関係にあるため、たとえば、チャージ電流の変化分を第1のフィルタ手
段の時定数の変化分で相殺することによって、チャージ電流が変化しても、ダン
ピングファクタを一定に保つフィードバックシステムを実現することができる。

【0023】

また、具体的には、本発明のフィードバックシステムにおいて、前記低域ろ波
回路における前記電流生成手段は、前記第1の電流を入力とし、前記第2の電流
を出力とするカレントミラー回路であるとする。そして、前記カレントミラー回
路は、入力側に第1のMOSトランジスタと、出力側に第2のMOSトランジスタ
と、前記第1のMOSトランジスタにバイアスをかける第1の電流源と、前記
第2のMOSトランジスタにバイアスをかける第2の電流源とを有するものとする。
また、前記低域ろ波回路における前記第1のフィルタ手段は、前記所定の回
路素子として前記第1のMOSトランジスタを有するものとする。さらに、前記
バイアス制御手段は、前記第1および第2の電流源のバイアスをそれぞれ変更す
るものとする。

【0024】

また、具体的には、本発明のフィードバックシステムにおいて、前記低域ろ波
回路における前記第1のフィルタ手段は、前記所定の回路素子として、前記第1
の電圧を入力とし、前記第1の電流を出力とする第1の電圧電流変換回路を有す
るものとする。そして、前記低域ろ波回路における前記電流生成手段は、前記第
1の電圧を入力とし、前記第2の電流を出力とする第2の電圧電流変換回路とす
る。さらに、前記バイアス制御手段は、前記第1の電圧電流変換回路および第2
の電圧電流変換回路の電流利得をそれぞれ変更するものとする。

【0025】

また、具体的には、本発明のフィードバックシステムにおいて、前記出力クロック生成手段は、前記低域ろ波回路からの出力電圧に基づいて、前記出力クロックの周波数を変化させる電圧制御発振器であるとする。そして、前記バイアス制御手段は、前記低域ろ波回路からの出力電圧に基づいて、前記チャージ電流の電流源のバイアスおよび前記第1のフィルタ手段の時定数をそれぞれ変更するものであることが好ましい。これにより、低域ろ波回路からの出力電圧に基づいて応答特性を適応的に調整することのできる位相同期回路を実現することができる。

【0026】

また、具体的には、本発明のフィードバックシステムにおいて、前記出力クロック生成手段は、前記入力クロックおよび前記低域ろ波回路からの出力電圧に基づいて、前記出力クロックの、前記基準クロックからの遅延量を変化させる電圧制御遅延回路であるとする。そして、前記バイアス制御手段は、前記低域ろ波回路からの出力電圧に基づいて、前記チャージ電流の電流源のバイアスおよび前記第1のフィルタ手段の時定数をそれぞれ変更するものであることが好ましい。これにより、低域ろ波回路からの出力電圧に基づいて応答特性を適応的に調整することのできる遅延ロックループ回路を実現することができる。

【0027】

また、具体的には、前記低域ろ波回路における前記加算手段は、演算増幅器であるとする。そして、前記バイアス制御手段は、前記低域ろ波回路からの出力電圧に基づいて、前記演算増幅器の帯域特性を変更するものであることが好ましい。

【0028】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

【0029】

(第1の実施形態)

図2は、本発明の第1の実施形態の低域ろ波回路の回路図を示す。本実施形態の低域ろ波回路13は、カレントミラー回路131、容量素子132、演算増幅器133、および容量素子136を備え、電流 I_p を入力とし、電圧 V_{out} を

出力とする2次の能動タイプ低域ろ波回路である。なお、本実施形態の低域ろ波回路13は、半導体集積回路として構成することが可能である。

【0030】

本実施形態の低域ろ波回路13は、たとえば、図10に示した位相同期回路10に適用が可能である。この場合、低域ろ波回路13は、チャージポンプ回路12からチャージ電流 I_p （ただし、電流の向きは、図10に示したものと逆になる。）を入力とし、制御電圧 V_{out} を出力して、電圧制御発振器14を制御する。

【0031】

カレントミラー回路131は、本発明の電流生成手段に相当するものである。カレントミラー回路131は、入力側に第1のMOSトランジスタ134、出力側に第2のMOSトランジスタ135、入力側のバイアスとして電流源137、そして出力側のバイアスとして第2の電流源138を備え、第1の電流 I_{in} を入力とし、これを反転した第2の電流 I_{out} を生成し、出力する。電流源137、138は、MOSトランジスタ134、135のそれぞれに直流電流 I_B によるバイアスをかけている。

【0032】

容量素子136は、第1のMOSトランジスタ134とともに、本発明の第1のフィルタ手段を構成している。第1のMOSトランジスタ134は、本発明の第1のフィルタ手段が有する所定の回路素子に相当するものである。容量素子136および第1のMOSトランジスタ134は、電流 I_p を入力とし、第1の電圧 V_p を出力とする。

【0033】

容量素子132は、本発明の第2のフィルタ手段に相当するものである。容量素子132は、カレントミラー回路131から出力される第2の電流 I_{out} を入力とし、第2の電圧 V_m を出力とする。

【0034】

演算増幅器133は、本発明の加算手段に相当するものである。演算増幅器133は、電圧 V_p を非反転入力端子への入力とし、電圧 V_m を反転入力端子への

入力とする。そして、帰還部分には、容量素子132を備えている。すなわち、演算増幅器133は、容量素子132とともに能動タイプの積分回路を構成しており、第2の電流 I_{out} を入力し、これを積分して、第3の電圧 V_{out} を出力する。

【0035】

次に、以上のように構成された低域ろ波回路13の動作について説明する。

【0036】

低域ろ波回路13に電流 I_p が与えられると、容量素子136および第1のMOSトランジスタ134（MOS抵抗）によって、第1次のフィルタリングが行われる。そして、この第1次のフィルタリングの結果として、第1の電圧 V_p が出力される。このとき、第1のMOSトランジスタ134に流れる第1の電流 I_{in} は、カレントミラー回路131の出力側にミラーされる。ここで、ミラー比を1倍とすると、カレントミラー回路131の出力側に、第1の電流 I_{in} を反転した第2の電流 I_{out} が生成される。第2の電流 I_{out} は、容量素子132に与えられ、第2次のフィルタリングが行われる。そして、この第2次のフィルタリングの結果として、第2の電圧 V_m が出力される。最後に、第1の電圧 V_p および第2の電圧 V_m は、演算増幅器133によって加算され、低域ろ波回路13の出力電圧である第3の電圧 V_{out} が出力される。

【0037】

次に、本実施形態の低域ろ波回路13が、一般的な2次の能動タイプ低域ろ波回路と同じ伝達特性を持つことを示す。

【0038】

図3は、本実施形態の低域ろ波回路13の伝達特性を説明するための図である。図3(a)は、図11(b)に示した一般的な2次の能動タイプ低域ろ波回路と同じ回路図である。各素子の電気的特性値を図3(a)に示したものとしたとき、点n、点mおよび点oにおける接点方程式は、それぞれ式(1)～式(3)のようになる。

【0039】

【数 1】

$$-I_p + V_n \cdot sC_x + \frac{V_n - V_m}{R} = 0 \quad \dots\dots\dots (1)$$

$$\frac{V_m - V_n}{R} + \frac{V_m - V_{out}}{R + \frac{1}{sC}} = 0 \quad \dots\dots\dots (2)$$

$$V_{out} = A \cdot (-V_m) \quad \dots\dots\dots (3)$$

【0040】

ここで、演算増幅器 133 の増幅率 A の無限大を仮定して、伝達関数 V_{out} / I_p として式 (4) を得る。

【0041】

【数 2】

$$V_{out} / I_p = -\frac{R \cdot sC + 1}{sC(R \cdot sC_x + 1)} \quad \dots\dots\dots (4)$$

【0042】

一方、本実施形態の低域ろ波回路 13 について、各素子の電気的特性値を図 3 (b) に示したものとしたとき、点 n、点 m および点 o における接点方程式は、それぞれ式 (5) ~ 式 (7) のようになる。なお、 g_m は、MOS トランジスタ 134、135 の相互コンダクタンスである。

【0043】

【数 3】

$$I_p + V_p \cdot sC_x + V_p \cdot g_m = 0 \quad \dots\dots\dots (5)$$

$$V_m \cdot g_m + (V_m - V_{out}) \cdot sC = 0 \quad \dots\dots\dots (6)$$

$$V_{out} = A \cdot (V_p - V_m) \quad \dots\dots\dots (7)$$

【0044】

ここで、先ほどと同様に、演算増幅器 133 の増幅率 A の無限大を仮定して、伝達関数 V_{out} / I_p として式 (8) を得る。

【0045】

【数4】

$$V_{out}/I_p = -\frac{\frac{sC}{g_m} + 1}{sC(\frac{sC_x}{g_m} + 1)} \dots\dots\dots(8)$$

【0046】

式(8)において、 $g_m = 1/R$ とすると、式(4)と同じになる。つまり、本実施形態の低域ろ波回路13は、図11(b)に示した一般的な2次の能動タイプ低域ろ波回路と同じ伝達特性を持つことがわかる。

【0047】

次に、本実施形態の低域ろ波回路13の回路面積の低減について説明する。

【0048】

本実施形態の低域ろ波回路13について、図4に示すように、第1のMOSトランジスタ134と第2のMOSトランジスタ135との相互コンダクタンス比が $1:\alpha$ になるように設定する。相互コンダクタンスは、たとえば、 W/L (W :ゲート幅、 L :ゲート長)を変えることによって調整することができる。また、第1の電流源137と第2の電流源138とのバイアス電流比もまた、上記の相互コンダクタンスの比率と同様に $1:\alpha$ になるように設定する。つまり、本実施形態の低域ろ波回路13において、カレントミラー回路131のミラー比率を α に設定する。

【0049】

以上のようにカレントミラー回路131のミラー比率が α に設定されたときの、低域ろ波回路13の伝達特性を、図2に示した低域ろ波回路13と同一にするには、式(8)から、容量素子132の容量値を α 倍にすればよいことがわかる。したがって、ミラー比率 α を1より小さな値に設定することによって、容量素子132の容量値を、図2に示した低域ろ波回路13に備えられる場合よりも小さくすることができる。なお、ミラー比率 α を小さくすると、実際の低域ろ波回路13の伝達特性は、式(8)による論理値からずれてしまうが、少なくとも $1/10 \sim 1/100$ 程度にまで小さく設定することが可能である。

【0050】

以上、本実施形態によると、カレントミラー回路131のMOSトランジスタ134、135を能動負荷として用いることによって、抵抗素子（たとえば、図11（b）の低域ろ波回路における抵抗素子134A、135A）を実装しなくて済み、回路面積を低減することができる。さらに、より小さな相互コンダクタンスを持つMOSトランジスタ134、135を用いることにより、容量素子132、136をより小さくすることができる。

【0051】

さらに、カレントミラー回路131のミラー比率 α について、 α が1よりも小さくなるように調整することにより、容量素子132を $1/10 \sim 1/100$ 程度にまで縮小することができる。一般に、容量素子132には、 $100 \sim 200$ pF程度の大容量のものが用いられており、その面積は位相同期回路の $50 \sim 70\%$ 程度を占めている。本実施形態によると、容量素子132を $1/10 \sim 1/100$ 程度にまで縮小して低域ろ波回路の回路面積を低減することができるため、位相同期回路の回路面積を大幅に低減することができる。また、第2の電流 I_{out} が小さくなることによって、演算増幅器133に流れ込む電流が小さくなる。これにより、消費電力を低減することができ、また、演算増幅器133に要求されるスペックを緩和することができる。なお、容量素子136は、一般に、MOSで構成可能な小さな容量値（ $10 \sim 20$ pF程度）のものであるため、容量素子136の容量値の縮小化については特に意図する必要はない。

【0052】

また、第1のフィルタ手段および第2のフィルタ手段として、容量素子132や容量素子136の他に、さらに別の容量素子や抵抗素子などを付加してもよいし、容量素子136として、第1のMOSトランジスタ134の寄生容量を用いるものであってもよい。このような変更を加えても、上述した効果をなんら損なうものではない。

【0053】

また、本実施形態では、加算手段として演算増幅器133を用いているが、本発明はこれに限定されるものではない。たとえば、図5は、演算増幅器にかわる

加算手段として、加算器 133' を備えた低域ろ波回路 13 の回路図である。このように、加算手段として加算器 133' を用いてもよい。加算器 133' については、第 1 の電圧 V_p および第 2 の電圧 V_m が変動してしまうという不利な点があるが、回路規模を小さくすることができ、また、消費電力を低減する効果が得られる。

【0054】

ところで、チャージポンプ回路から低域ろ波回路に、チャージ電流とその反転電流を同時に供給することにより、カレントミラー回路 131 を抵抗素子に置き換えることができる。図 6 は、チャージ電流 I_{p1} とその反転電流 I_{p2} とを同時に出力可能なチャージポンプ回路 12A、および低域ろ波回路 13 におけるカレントミラー回路 131 を抵抗素子 134A、135A に置き換えた低域ろ波回路 13A の回路図である。

【0055】

チャージポンプ回路 12A は、信号 $UP1$ 、 $UP2$ の組および信号 $DN1$ 、 $DN2$ の組がそれぞれスイッチ 123、126 の組およびスイッチ 124、125 の組を制御する。そして、チャージポンプ回路 12A からは、チャージ電流 I_{p1} とその反転電流 I_{p2} とが同時に出力される。一方、低域ろ波回路 13A は、チャージ電流 I_{p1} とその反転電流 I_{p2} とを入力することにより、低域ろ波回路 13 においてカレントミラー回路 131 により第 1 の電流 I_{in} が入力されたときと同様の動作をする。

【0056】

上記のようなチャージポンプ回路 12A および低域ろ波回路 13A を備えた位相同期回路によると、チャージポンプ回路 12A における同相のスイッチノイズが、低域ろ波回路 13A における演算増幅器 133 の非反転入力端子および反転入力端子に入力されることにより、相殺される。これにより、位相同期回路に現れるジッタ成分を低減することができる。

【0057】

また、上記説明では、カレントミラー回路 131 は MOS トランジスタによって構成されるものとしたが、バイポーラトランジスタで構成してもよいし、また

、MOSトランジスタとバイポーラトランジスタとを組み合わせる構成してもよい。このような変更を加えても、本発明の低域ろ波回路13によって、上述した効果を得ることができる。

【0058】

(第2の実施形態)

図7は、本発明の第2の実施形態の低域ろ波回路を示す。本実施形態の低域ろ波回路13は、第1の実施形態のカレントミラー回路131を、第1の電圧電流変換回路134Bおよび第2の電圧電流変換回路135Bに置き換えたものである。なお、本実施形態の低域ろ波回路13において、図2に示した構成要素と同様のものについては、図7においてこれと同一の符号を付し、説明を省略する。

【0059】

第1の電圧電流回路134Bは、図2に示した第1のMOSトランジスタ134および第1の電流源137を置き換えたものに相当し、容量素子136とともに、本発明の第1のフィルタ手段を構成するものである。第1の電圧電流回路134Bは、第1のフィルタ手段の出力である第1の電圧 V_p を、第1の電流 I_{in} に変換し、第1の電圧 V_p の入力箇所に供給する。

【0060】

第2の電圧電流回路135Bは、図2に示した第2のMOSトランジスタ135および第2の電流源138を置き換えたものに相当し、本発明の電流生成手段に相当するものである。第2の電圧電流回路135Bは、第1のフィルタ手段の出力である第1の電圧 V_p を、第2の電流 I_{out} に変換し、容量素子132に供給する。

【0061】

以上のように構成された低域ろ波回路13において、第1の電圧電流回路134Bおよび第2の電圧電流回路135Bの電流利得をともに g_m とすることによって、本実施形態の低域ろ波回路13の伝達特性は、式(8)と同様になる。すなわち、本実施形態の低域ろ波回路13は、第1の実施形態の低域ろ波回路13と同様に動作する。したがって、第2の電圧電流変換回路135Bの電流利得を、第1の電圧電流変換回路134Bのものよりも小さく設定することによって、

容量素子 132 の容量値を小さくすることができ、回路面積を低減することができる。

【0062】

以上、本実施形態によると、第1の電圧電流変換回路 134B および第2の電圧電流変換回路 135B を能動負荷として用いることによって、抵抗素子を実装しなくて済み、回路面積を低減することができる。さらに、より小さな電流利得を持つ第1の電圧電流変換回路 134B および第2の電圧電流変換回路 135B を用いることにより、容量素子 132, 136 をより小さくすることができる。

【0063】

さらに、本実施形態の低域ろ波回路 13 は、電流生成手段としてカレントミラー回路を用いていない。したがって、カレントミラー回路を用いた場合と比べて、電流オフセットが生じにくくなり、より正確な出力電圧（第3の電圧 V_{out} ）が得られるという効果がある。

【0064】

なお、本実施形態の低域ろ波回路 13 についても、第1の実施形態のところで説明したように、演算増幅器 133 を加算器 133' に置き換えることが可能である。

【0065】

以上、本発明の低域ろ波回路 13 における容量素子 132, 136 は、たとえば、2層ポリシリコンを用いたもの、MIM容量（メタル絶縁体メタル容量）、MOSトランジスタを用いたMOS容量などのいずれであってもよい。また、これらを組み合わせて用いて場合でも、本発明の低域ろ波回路 13 によって、上述した効果を得ることができる。

【0066】

（第3の実施形態）

図8は、本発明の第3の実施形態の位相同期回路 10 の構成を示す。本実施形態の位相同期回路 10 は、位相比較器 11 と、チャージポンプ回路 12B と、低域ろ波回路 13B と、電圧電流変換回路 21 と、電圧制御発振器 14A と、バイアス変換回路 22 と、分周器 15 とを備えている。なお、分周器 15 は省略可能

である。本実施形態の位相同期回路10は、半導体集積回路として構成することが可能である。

【0067】

チャージポンプ回路12Bは、電圧電流変換回路21からの制御信号CS1に応じて、電流源121Aのバイアスを変化させる。また、バイアス変換回路22からの制御信号CS2に応じて、電流源122Aのバイアスを変化させる。

【0068】

低域ろ波回路13Bは、第1の実施形態の低域ろ波回路13とほぼ同様のものである。第1の実施形態と異なる点は、第1の電流源137Aおよび第2の電流源138Aのバイアスが、チャージポンプ回路12Bの場合と同様に、制御信号CS1に応じて可変となっている点である。ただし、電流バイアスの変化の程度は、チャージポンプ回路12Bにおける電流源121A、122Aのバイアスの変化の程度と同じになるようになっている。さらに、演算増幅器133Aは、制御信号CS1に応じて、その帯域特性が変化するようになっている。

【0069】

電圧電流変換回路21は、本発明のバイアス制御手段に相当するものである。電圧電流変換回路21は、低域ろ波回路13Bから出力される出力電圧Voutを、電流による制御信号CS1に変換する。

【0070】

電圧制御発振器14Aは、本発明の出力クロック生成手段に相当するものである。電圧制御発振器14Aは、制御信号CS1を入力とし、この制御信号CS1によってかけられるバイアスに応じて、出力クロックCKoutの発振周波数を変化させる。

【0071】

バイアス変換回路22は、電流源122Aを構成するトランジスタであって、電流源121Aを構成するトランジスタとは異なる極性のものを制御するために、制御信号CS1のバイアスを変換するものである。

【0072】

以上のように構成された位相同期回路10によるダンピングファクタの調整に

ついて、以下、詳細に説明する。

【0073】

2次の能動タイプ低域ろ波回路を備えた位相同期回路の応答特性は、式(9)の自然周波数 ω_n と、式(10)のダンピングファクタ ζ とによって決まる。ここで、 K_o は、電圧制御発振器14Aのゲインである。

【0074】

【数5】

$$\omega_n = \sqrt{\frac{K_o \cdot I_p}{2\pi C}} \quad \dots\dots\dots (9)$$

$$\zeta = \frac{CR}{2} \cdot \sqrt{\frac{K_o \cdot I_p}{2\pi C}} = \frac{CR}{2} \cdot \omega_n \quad \dots\dots\dots (10)$$

【0075】

式(9)の自然周波数 ω_n を決定する変数のうち、回路的に容易に変化させることができるものは、チャージ電流 I_p である。そこで、位相同期回路10の発振周波数に応じてループ帯域幅、すなわち自然周波数 ω_n を変化させるとき、一般に、チャージ電流 I_p を変化させる。

【0076】

チャージ電流 I_p を変化させると、式(10)のダンピングファクタ ζ も同時に変化してしまう。しかし、位相同期回路10の応答特性を保つためにも、ダンピングファクタ ζ は一定であることが好ましい。それには、式(10)において、チャージ電流 I_p の変化率 A に対して、容量値 C または抵抗値 R の変化率が $1/\sqrt{A}$ になるようにしなければならない。

【0077】

ここで、低域ろ波回路13Bにおけるカレントミラー回路131は、MOSトランジスタ134、135で構成されている。MOSトランジスタ134のドレインはゲートに接続されており、2乗特性を呈する状態にある。また、MOSトランジスタ135のゲートには、MOSトランジスタ134のゲートと同電位が印加されるため、MOSトランジスタ135についても2乗特性を呈する状態に

ある。

【0078】

チャージポンプ回路12Bにおける電流源121A, 122Aが、制御信号CS1, CS2に基づいて、チャージ電流 I_p を変化率Aで変化させる場合、低域ろ波回路13Bにおける第1の電流源137Aおよび第2の電流源138Aもまた、バイアス電流 I_B を変化率Aで変化させる。このようなバイアス変化により、第1のMOSトランジスタ134について、ドレイン電流はA倍に、相互コンダクタンス g_m は \sqrt{A} 倍に、そして、ゲート電圧 V_p は \sqrt{A} 倍になる。すなわち、第1のフィルタ手段の時定数が、バイアス変化に応じて変化する。同様に、第2のMOSトランジスタ135について、ドレイン電流はA倍に、相互コンダクタンス g_m は \sqrt{A} 倍に、そして、ゲート電圧 V_m は \sqrt{A} 倍になる。

【0079】

第2のMOSトランジスタ135の相互コンダクタンス g_m が \sqrt{A} 倍になることは、すなわち、抵抗値Rの変化率が $1/\sqrt{A}$ になることに等しい。したがって、式(10)において、チャージ電流 I_p の変化率Aと抵抗値Rの変化率 $1/\sqrt{A}$ とが相殺され、ダンピングファクタ ξ が一定になることがわかる。

【0080】

さらに、本実施形態の位相同期回路10では、電圧電流変換回路21から出力される制御信号CS1に基づいて、電圧制御発振器14Aの発振周波数が変化する。そして、この発振周波数の変化に応じて、チャージポンプ回路12Bにおける電流源121A, 122Aのチャージ電流 I_p 、低域ろ波回路13Bにおける電流源137A, 138Aのバイアス電流 I_B 、および演算増幅器133Aの帯域特性が、適応的に変化させられる。具体的には、電圧制御発振器14Aの出力クロックCKoutの周波数が低い場合には、制御信号CS1の電流値は小さいものであり、電流源121A, 122Aのチャージ電流 I_p および電流源137A, 138Aのバイアス電流 I_B もまた小さくなる。逆に、出力クロックCKoutの周波数が高い場合には、制御信号CS1の電流値は大きいものであり、電流源121A, 122Aのチャージ電流 I_p および電流源137A, 138Aのバイアス電流 I_B もまた大きくなる。

【0081】

上記のような、アダプティブバイアス化された位相同期回路については、すでに知られている（文献1：John G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.31, NO.11, NOVEMBER 1996, pp.1723-1732参照）。しかし、文献1で挙げられた回路方式は、2次の応答を有する位相同期回路に対してのみのアダプティブ化であるのに対し、本実施形態の位相同期回路10では、2次の低域ろ波回路13Bに電圧制御発振器14Aを加えた3次の応答、さらに、演算増幅器133Aの制御を加えた4次の応答のアダプティブ化を図っている。

【0082】

以上、本実施形態によると、チャージ電流 I_p の変化に応じて、適応的に、位相同期回路10におけるダンピングファクタ ζ が一定に保たれるように調整される。これにより、ダンピングファクタ ζ を調整するための抵抗ラダー回路などを実装する必要がなくなり、回路面積を低減することができる。

【0083】

また、位相同期回路10の入力クロック CK_{in} の周波数に応じて、適応的に、チャージポンプ回路12Bにおける電流源121A、122A、低域ろ波回路13Bにおける電流源137A、138A、および演算増幅器133A、ならびに電圧制御発振器14Aが制御される。これにより、幅広い周波数帯域に対して、位相同期回路10の応答特性を、適応的に最適に保つことが可能となる。

【0084】

また、電流源121A、122A、137A、138Aが、適応的に制御されることにより、これらに基準電圧を供給するバンドギャップリファレンスを省略することができる。これにより、回路面積をさらに低減することができる。

【0085】

なお、チャージ電流 I_p のバイアスおよび低域ろ波回路13Bにおけるカレントミラー回路131の電流 I_B のバイアスは、必ずしも適応的に変化させる必要はない。また、演算増幅器133Aの帯域特性は、必ずしも制御可能にしなくてもよい。

【0086】

また、本実施形態では、低域ろ波回路13Bとして、第1の実施形態のものを
用いているが、第2の実施形態のものをを用いるようにしてもよい。

【0087】

(第4の実施形態)

図9は、本発明の第4の実施形態の遅延ロックループ回路10Aの構成を示す。
本実施形態の遅延ロックループ回路10Aは、位相比較器11と、チャージポン
プ回路12Bと、低域ろ波回路13Cと、電圧電流変換回路21と、電圧制御
遅延回路16と、バイアス変換回路22とを備えている。本実施形態の遅延ロッ
クループ回路10Aは、半導体集積回路として構成することが可能である。

【0088】

本実施形態の遅延ロックループ回路10Aは、第3の実施形態の位相同期回路
10とほぼ同様のループ回路構成になっている。以下、第3の実施形態と異なる
点について説明する。

【0089】

電圧制御遅延回路16は、本発明の出力クロック生成手段に相当するものであ
る。電圧制御遅延回路16は、制御信号CS1および入力クロックCKinを入
力とし、入力クロックCKinに対して、この制御信号CS1によってかけられ
るバイアスに応じた遅延量で出力クロックCKoutを生成する。

【0090】

低域ろ波回路13Cは、第2の実施形態の低域ろ波回路13とほぼ同様のもの
である。第2の実施形態と異なる点は、第1の電圧電流変換回路134Cおよび
第2の電圧電流変換回路135Cの電流利得 g_m が、制御信号CS1に応じて可
変となっている点である。ただし、電流利得 g_m は、チャージポンプ回路12B
における電流源121A、122Aのバイアスの変化の程度に応じて変化するよ
うになっている。特に、電流源121A、122Aのバイアスの変化率をAとし
たとき、電流利得 g_m が \sqrt{A} 倍になるように設定することによって、第3の実施
形態のところで説明したように、チャージ電流 I_p の変化に対して、ダンピング
ファクタ ζ を一定に保つことができる。

【0091】

さらに、本実施形態の遅延ロックスループ回路10Aでは、電圧電流変換回路21から出力される制御信号CS1に基づいて、演算増幅器133Aの帯域特性が、適応的に変化するようにになっている。

【0092】

以上、本実施形態によると、第3の実施形態と同様の効果を得ることができる。すなわち、チャージ電流 I_p の変化に応じて、適応的に、遅延ロックスループ回路10Aにおけるダンピングファクタ ζ が一定に保たれるように調整される。これにより、ダンピングファクタ ζ を調整するための抵抗ラダー回路などを実装する必要がなくなり、回路面積を低減することができる。

【0093】

なお、本実施形態では、低域ろ波回路13Cとして、第2の実施形態のものをを用いているが、第1の実施形態のものをを用いるようにしてもよい。

【0094】

【発明の効果】

以上のように、本発明によると、低域ろ波回路について、所望のフィルタ特性を保ちつつ回路面積を大幅に低減することができる。特に、第2のフィルタ手段として用いられる容量素子を、 $1/10 \sim 1/100$ 程度にまで縮小することができるため、回路面積低減の効果は著しい。また、電流生成手段によって、第1の電流よりも小さな第2の電流を生成することによって、消費電力を低減することができる。

【0095】

また、上記のような低域ろ波回路を備えた位相同期回路や遅延ロックスループ回路などのフィードバックシステムについて、抵抗ラダー回路などを実装することなく、ダンピングファクタの調整が可能となる。これにより、フィードバックシステムの回路面積を低減することができる。さらに、フィードバックシステムの応答特性を適応的に調整することができる。これにより、幅広い周波数帯域において、応答特性を最適に保つことができる。

【図面の簡単な説明】

【図 1】

本発明の低域ろ波回路の構成図である。

【図 2】

本発明の第 1 の実施形態の低域ろ波回路の回路図である。

【図 3】

第 1 の実施形態の低域ろ波回路の伝達特性を説明するための図である。

【図 4】

第 1 の実施形態の低域ろ波回路の回路面積低減を説明するための図である。

【図 5】

図 2 とは異なる加算手段を備えた低域ろ波回路の回路図である。

【図 6】

第 1 の実施形態の低域ろ波回路の変形例である。

【図 7】

本発明の第 2 の実施形態の低域ろ波回路の回路図である。

【図 8】

本発明の第 3 の実施形態に係る位相同期回路の構成図である。

【図 9】

本発明の第 4 の実施形態に係る遅延ロックループ回路の構成図である。

【図 1 0】

一般的な位相同期回路の構成図である。

【図 1 1】

一般的な低域ろ波回路の回路図である。

【図 1 2】

ダンピングファクタの調整が可能な低域ろ波回路の回路図である。

【図 1 3】

ダンピングファクタの調整が可能な低域ろ波回路の回路図である。

【符号の説明】

- 1 第 1 のフィルタ手段
- 2 電流生成手段

3 第2のフィルタ手段

4 加算手段

10 位相同期回路（フィードバックシステム）

10A 遅延ロックスループ回路（フィードバックシステム）

12B チャージポンプ回路

121A, 122A 電流源

13, 13B, 13C 低域ろ波回路

131 カレントミラー回路（電流生成手段）

132 容量素子（第2のフィルタ手段）

133, 133A 演算増幅器（加算手段）

133' 加算器（加算手段）

134 第1のMOSトランジスタ（第1のフィルタ手段が有する所定の回路素子）

134B, 134C 第1の電圧電流変換回路（第1のフィルタ手段が有する所定の回路素子）

135 第2のMOSトランジスタ

135B, 135C 第2の電圧電流変換回路（電流生成手段）

136 容量素子（第1のフィルタ手段）

137, 137A 第1の電流源

138, 138A 第2の電流源

14A 電圧制御発振器（出力クロック生成手段）

16 電圧制御遅延回路（出力クロック生成手段）

21 電圧電流変換回路（バイアス制御手段）

I_p チャージ電流（低域ろ波回路に与えられた信号）

I_{in} 第1の電流

I_{out} 第2の電流

V_p 第1の電圧

V_m 第2の電圧

V_{out} 第3の電圧

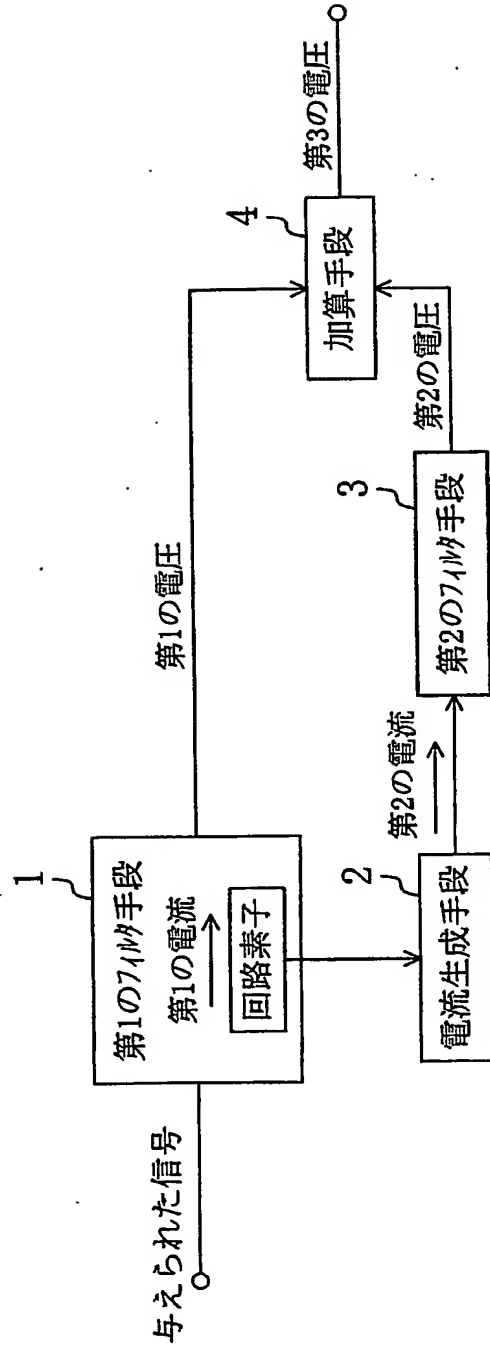
CKin 入力クロック

CKout 出力クロック (帰還クロック)

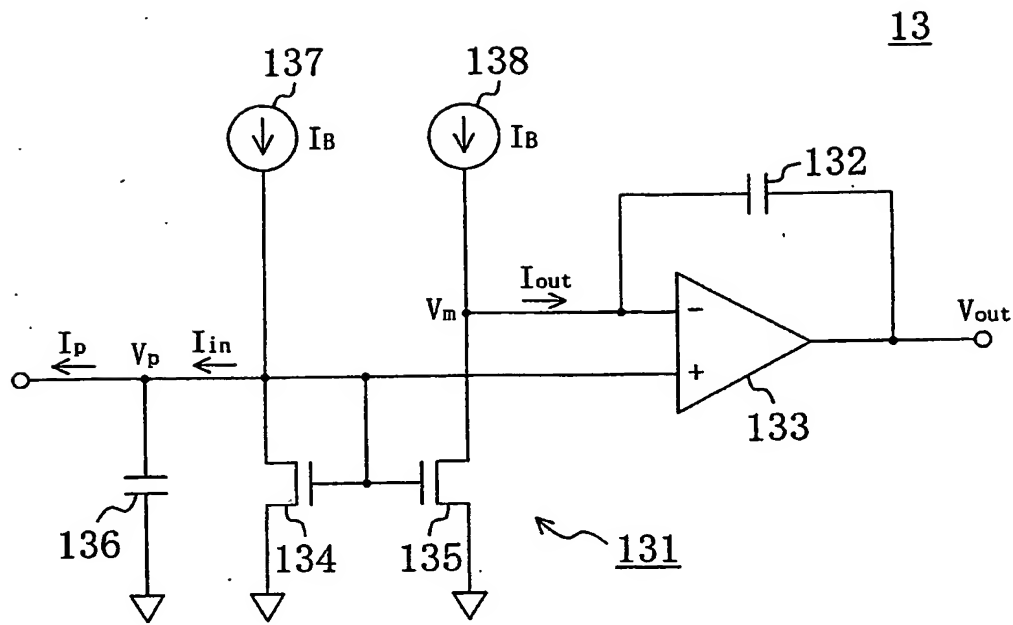
CKdiv 分周クロック (帰還クロック)

【書類名】 図面

【図1】

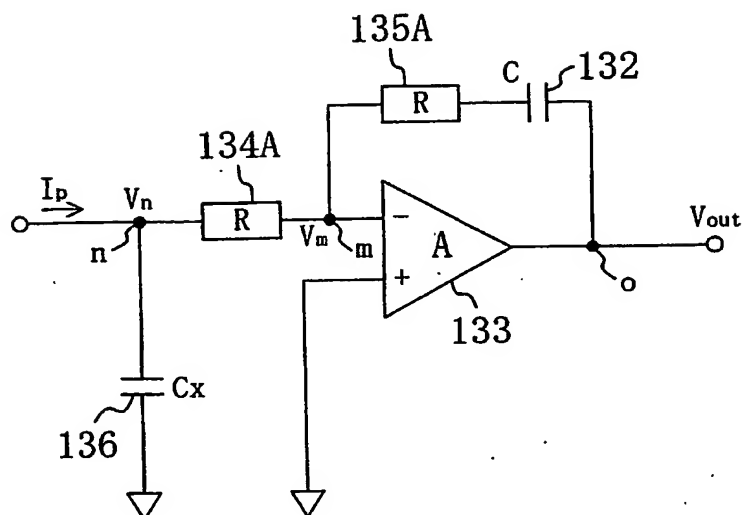


【図 2】

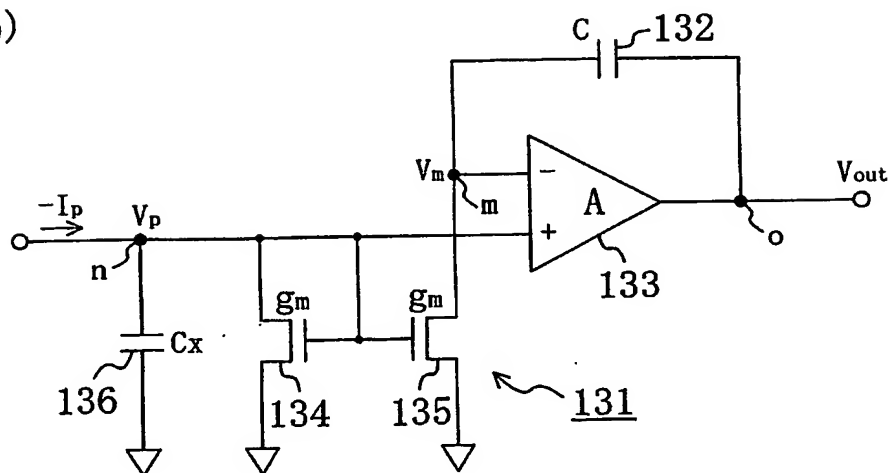


【図3】

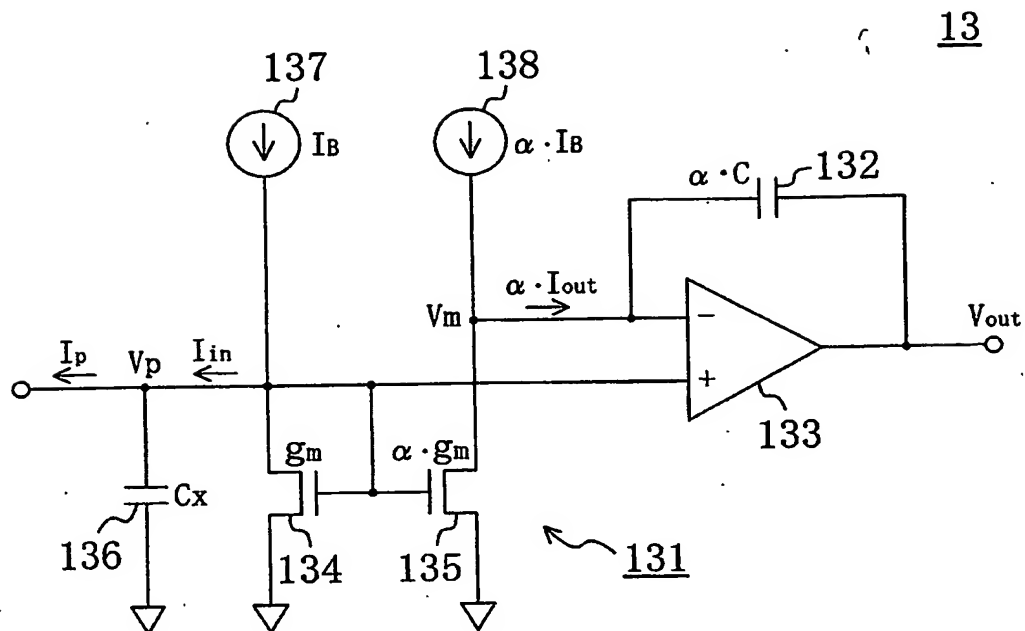
(a)



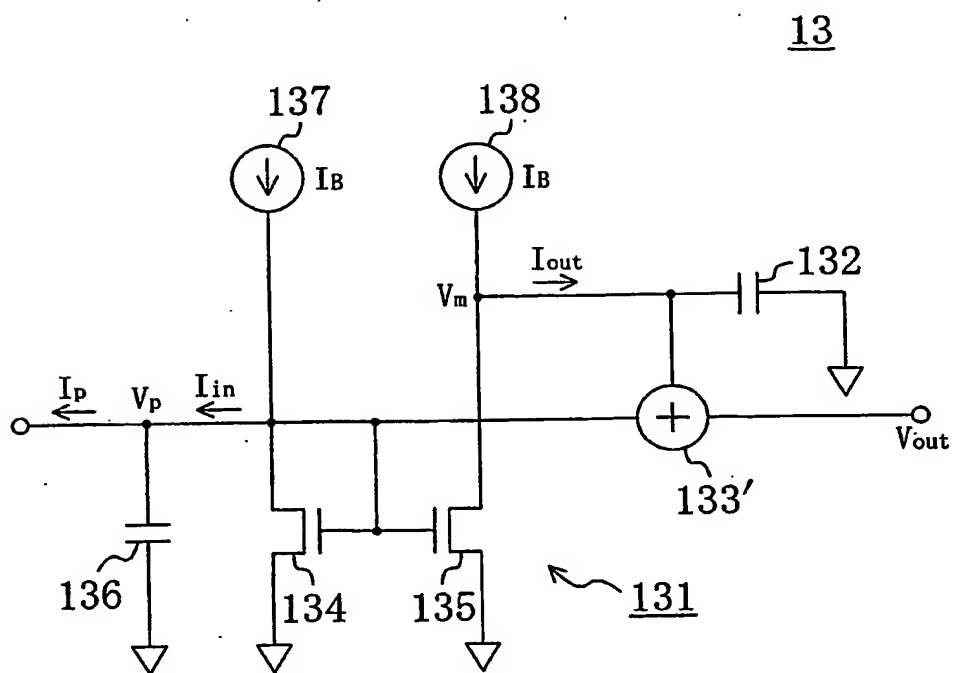
(b)



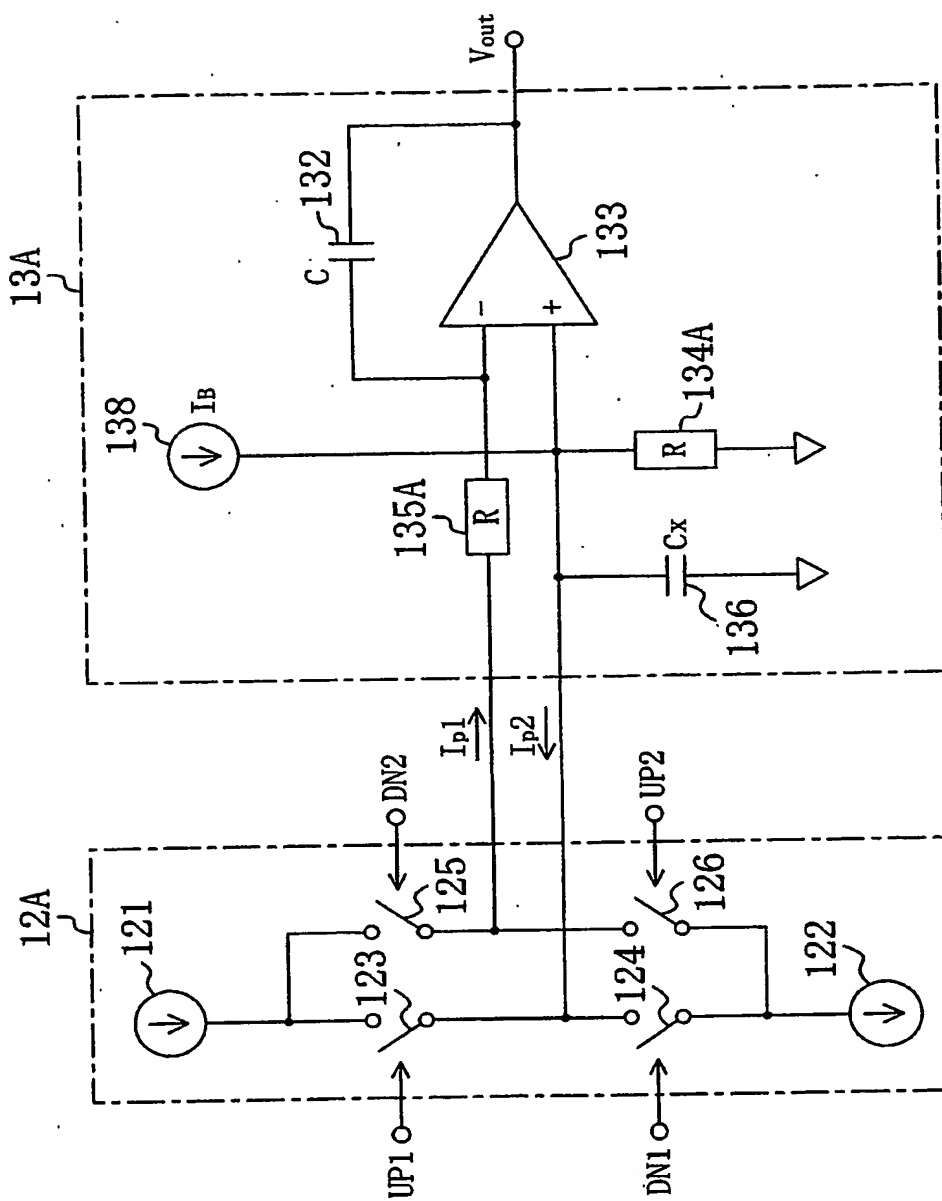
【図 4】



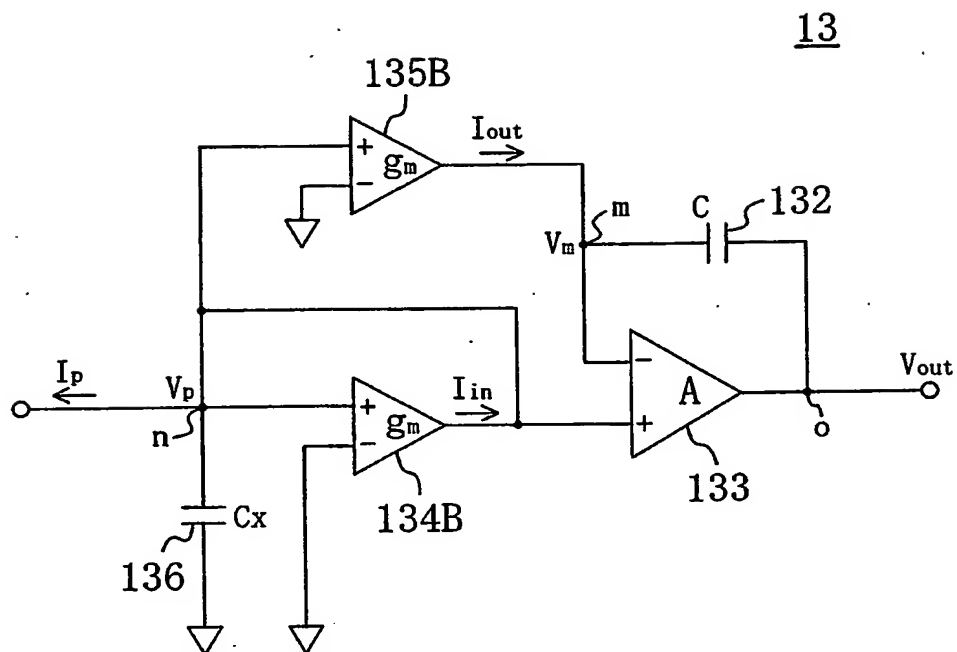
【図 5】



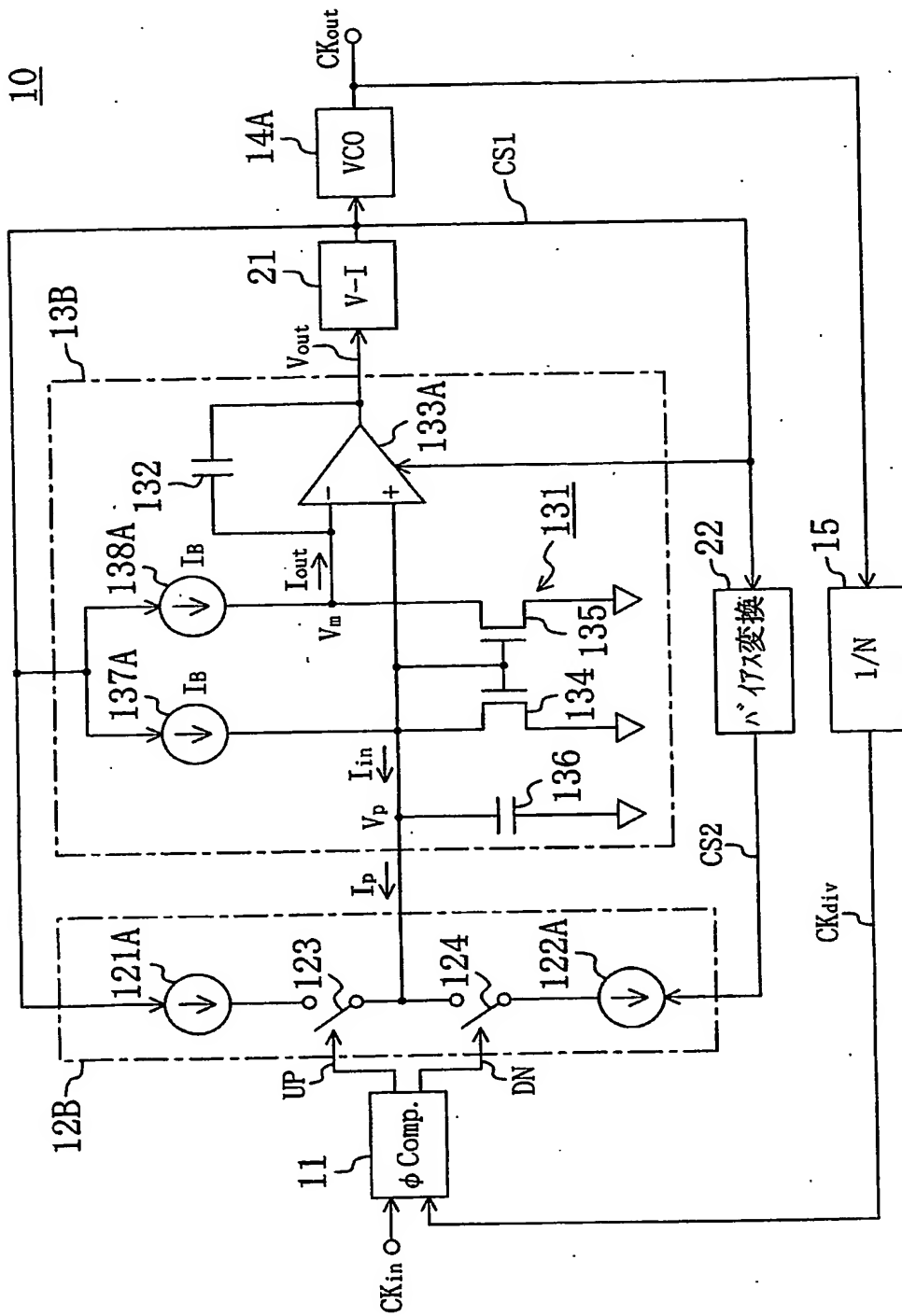
【図 6】



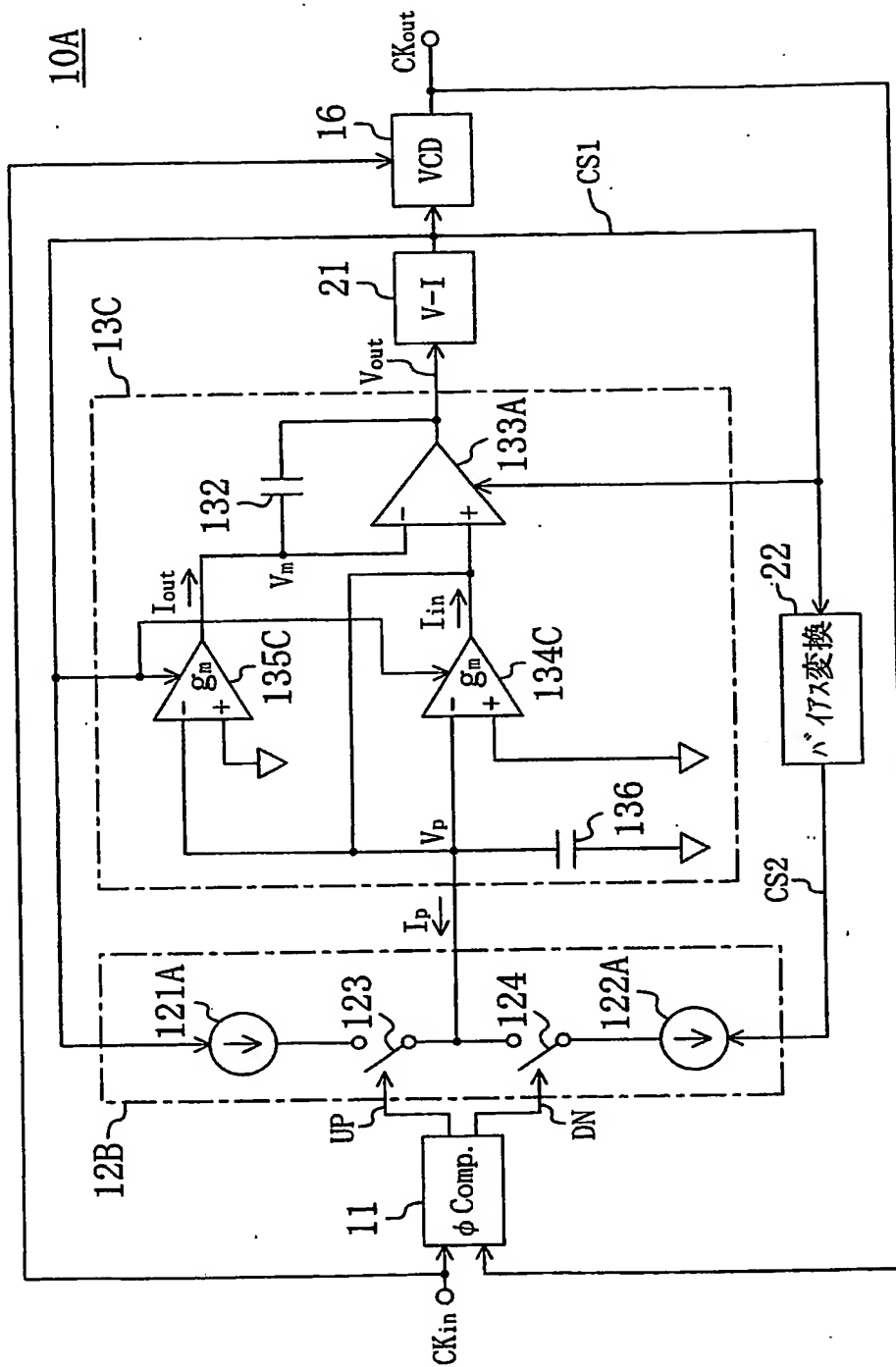
【図 7】



【図 8】

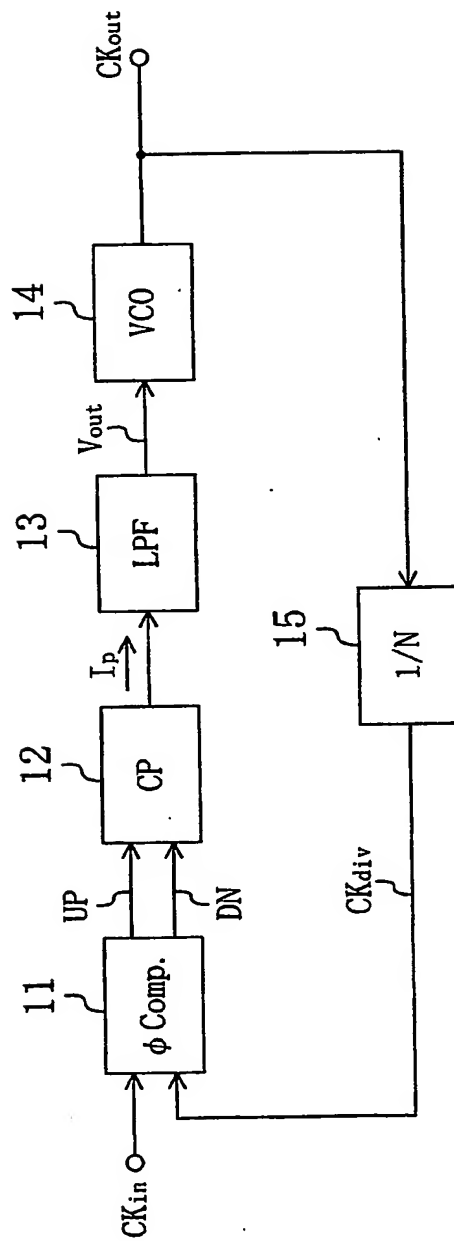


【図9】



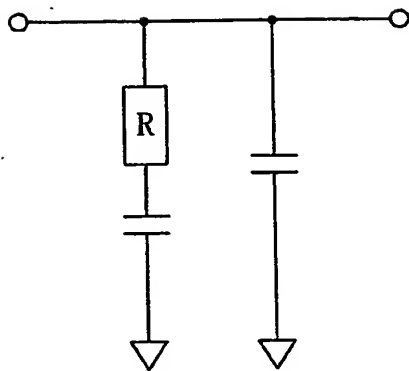
【図10】

10

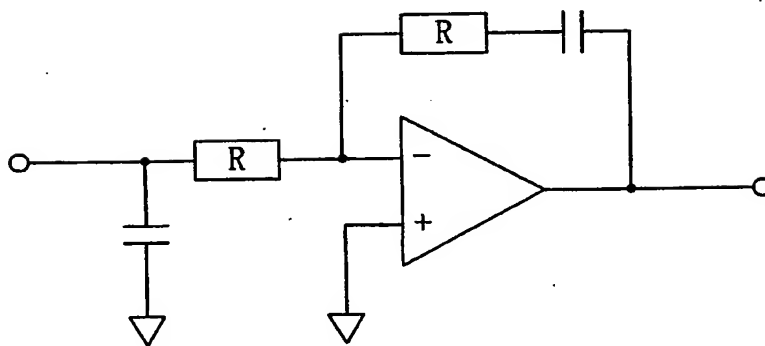


【図11】

(a)

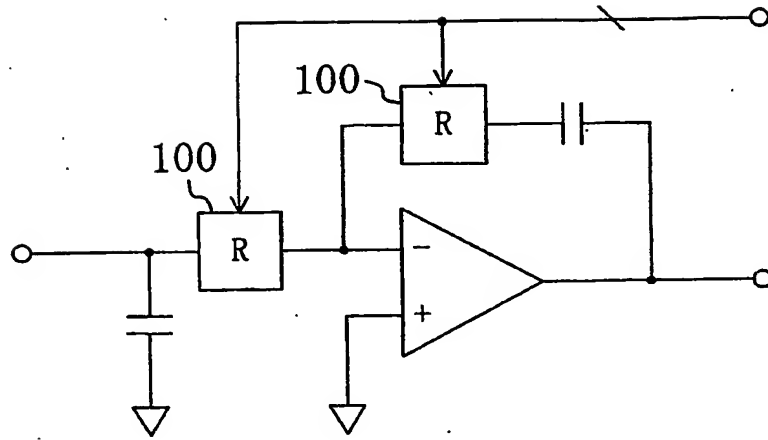


(b)

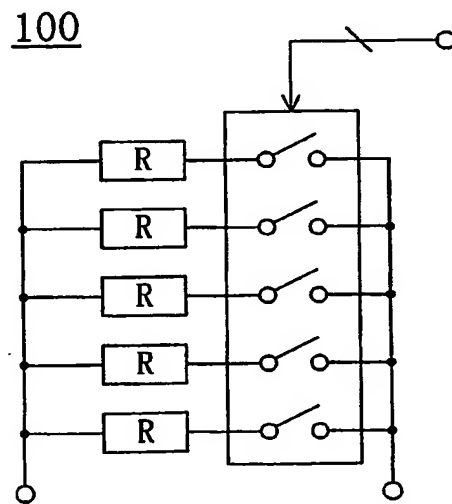


【図 12】

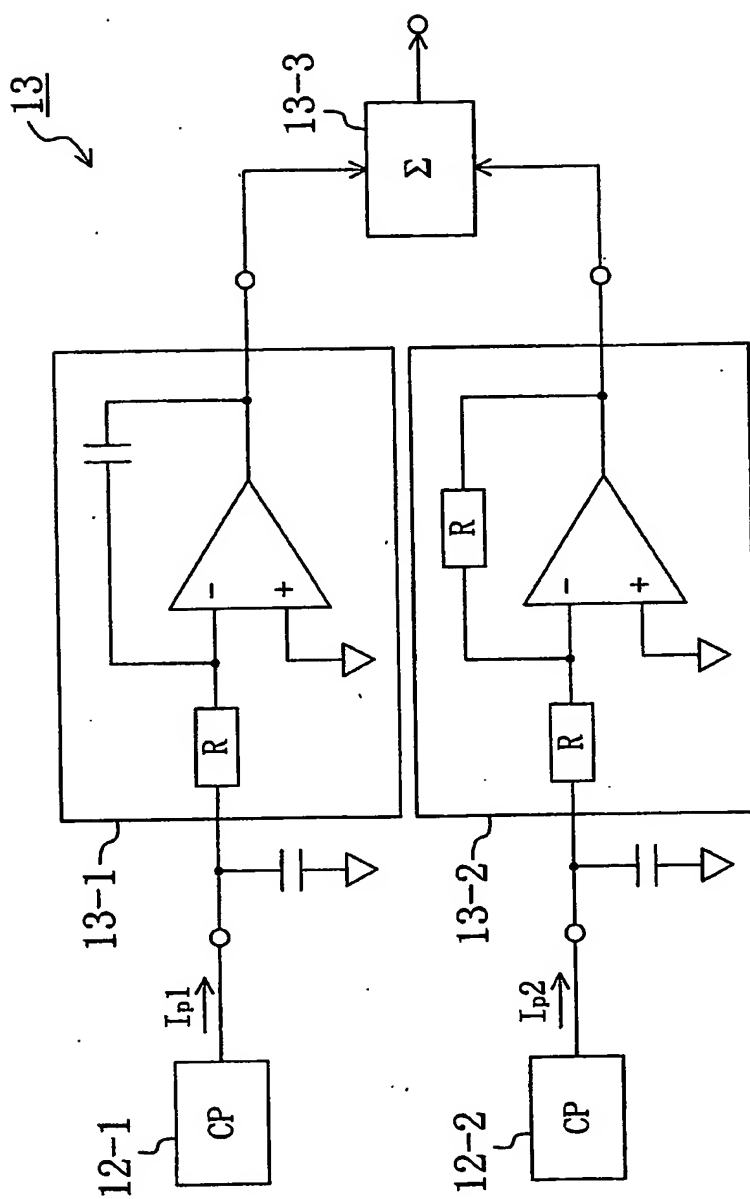
(a)



(b)



【図13】



【書類名】 要約書

【要約】

【課題】 所望のフィルタ特性を保ちつつ、より小さな回路面積で実現可能な低域ろ波回路、および位相同期回路などを提供する。

【解決手段】 低域ろ波回路として、与えられた信号を入力とする第1のフィルタ手段1と、第1のフィルタ手段が有する所定の回路素子に流れる第1の電流とは別個にこの第1の電流を所定倍した第2の電流を生成する電流生成手段2と、第2の電流を入力とする第2のフィルタ手段3と、第1のフィルタ手段の出力電圧と前記第2のフィルタ手段の出力電圧とを加算する加算手段4とを備えたものとする。ここで、第2の電流を第1の電流よりも小さくすることによって、第2のフィルタ手段3が備えるべき容量を小さくすることができ、低域ろ波回路の回路面積を低減することができる。さらに、このような低域ろ波回路を備えた位相同期回路や遅延ロックスループ回路についても、回路面積を大幅に削減することができる。

【選択図】 図1

【書類名】 手続補正書

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-262793

【補正をする者】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 道正 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 柳沢 直志

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 外山 正臣

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 梅原 啓二郎

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 福井 正博

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 吉河 武文

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 岩田 徹

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 崎山 史朗

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 鈴木 良一

【その他】 発明者が「道正 志郎」「柳沢 直志」「外山 正臣」「梅原 啓二郎」「福井 正博」「吉河 武文」「岩田 徹」「崎山 史朗」「鈴木 良一」の9名であるところ、誤って「道正 志郎」「福井 正博」「吉河 武文」「岩田 徹」「崎山 史朗」「鈴木 良一」の6名で

出願してしまいましたので補正いたします。

【ブルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社